

**数字电子技术基础**

**实验报告**

**题目：实验二**

小组成员： 姓名 学号

小组成员： 姓名 学号

组 号： 组号

## 实验一

### 一、实验目的

1. 通过实验的方法学习数据选择器的电路结构和特点。

2. 掌握数据选择器的逻辑功能及其基本应用

### 二、实验要求

要求1：参照参考内容，调用MAXPLUSII 库中的组合逻辑器件74138 三线八线译码器和7420 与非门，用原理图输入方法实现一位全加器。（QuartusII 实现波形仿真和下载开发板验证）

要求2：参照参考内容，调用MAXPLUSII 库中的组合逻辑器件74153 双四数据选择器和7400 与非门，用原理图输入方法实现一位全减器。（QuartusII 实现波形仿真和下载开发板验证）

要求3：在要求1 和要求2 的基础上，自选门电路或组合逻辑电路，用4个开关作为控制端，当控制开关为一名组员学号的最后一位时实现一位全加器；当控制开关为另一名组员学号的最后一位时实现一位全减器。（如学号分别是

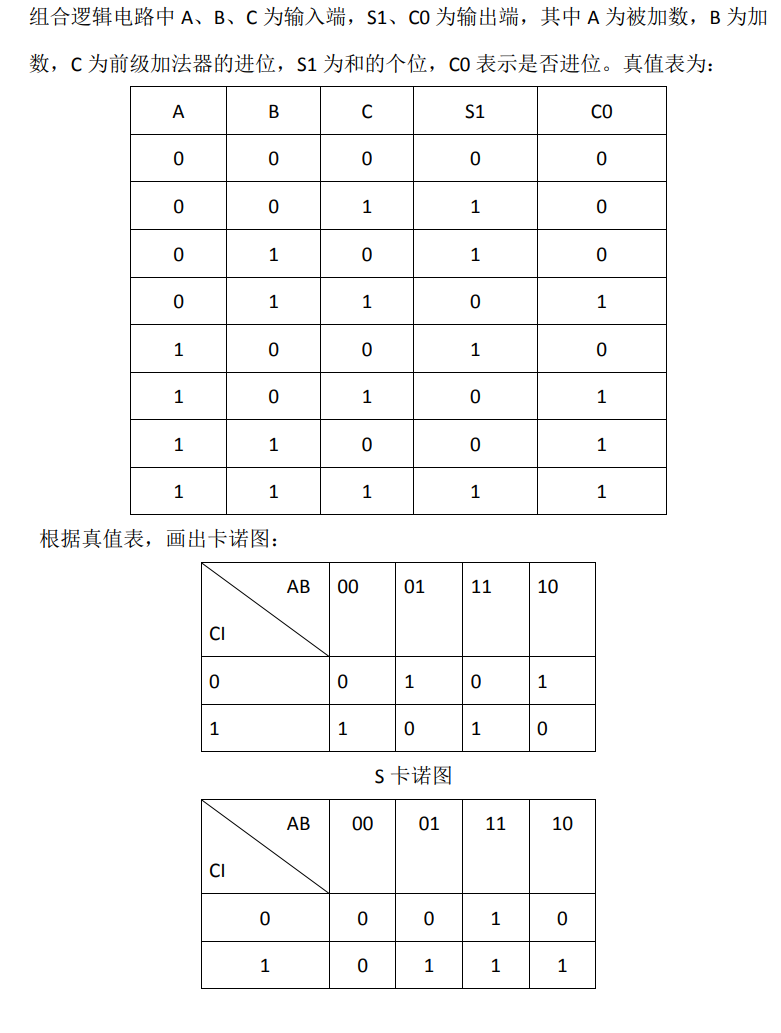
2021301809和2021301804时，控制开关输入9实现全加器，控制开关输入4实现全减器灯，其他情况，输出为0）（QuartusII 实现波形仿真和下载开发板验证）

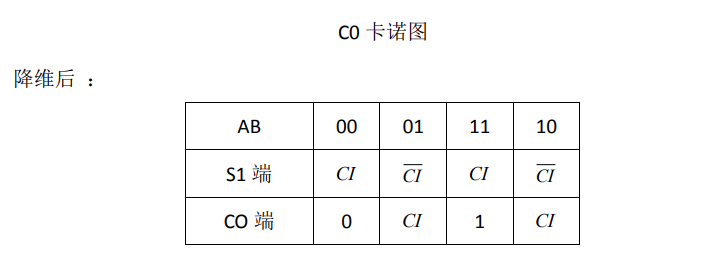
### 三、实验设备

实验开发板DE0

### 四、实验原理

全加器原理:





逻辑表达式:





全减器：

全减器真值表如下：其中Ai表示被减数，Bi表示减数，Di表示本位最终运算结果，Ci表示低位是否向本位借位，Ci+1表示本位是否向高位借位。



逻辑表达式：

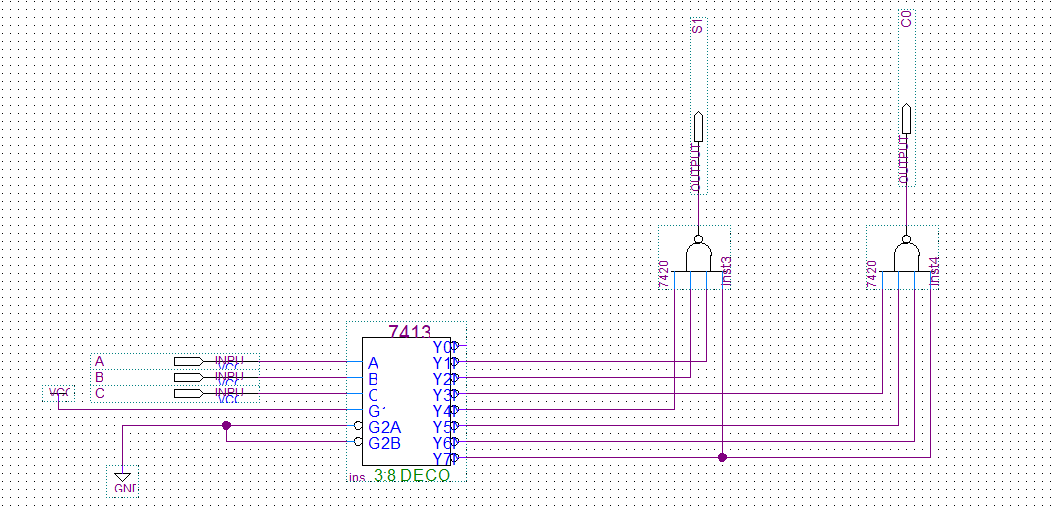




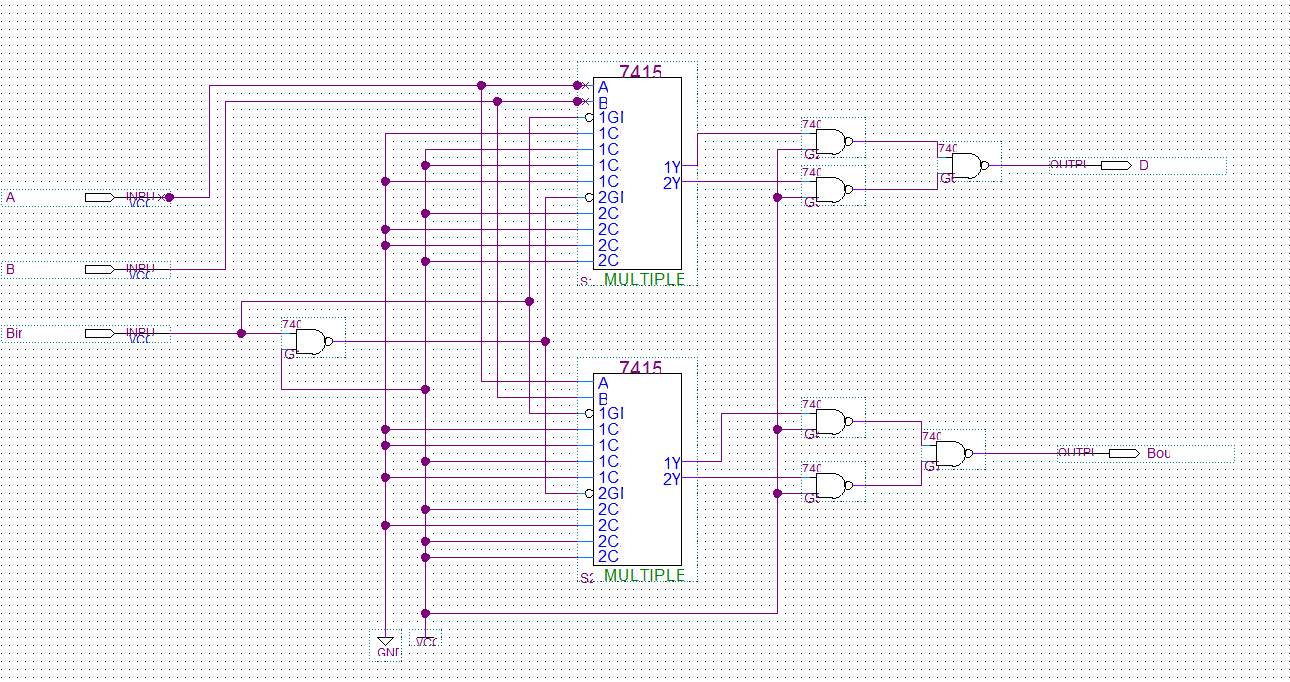
### 五、实验内容

一、原理图搭建

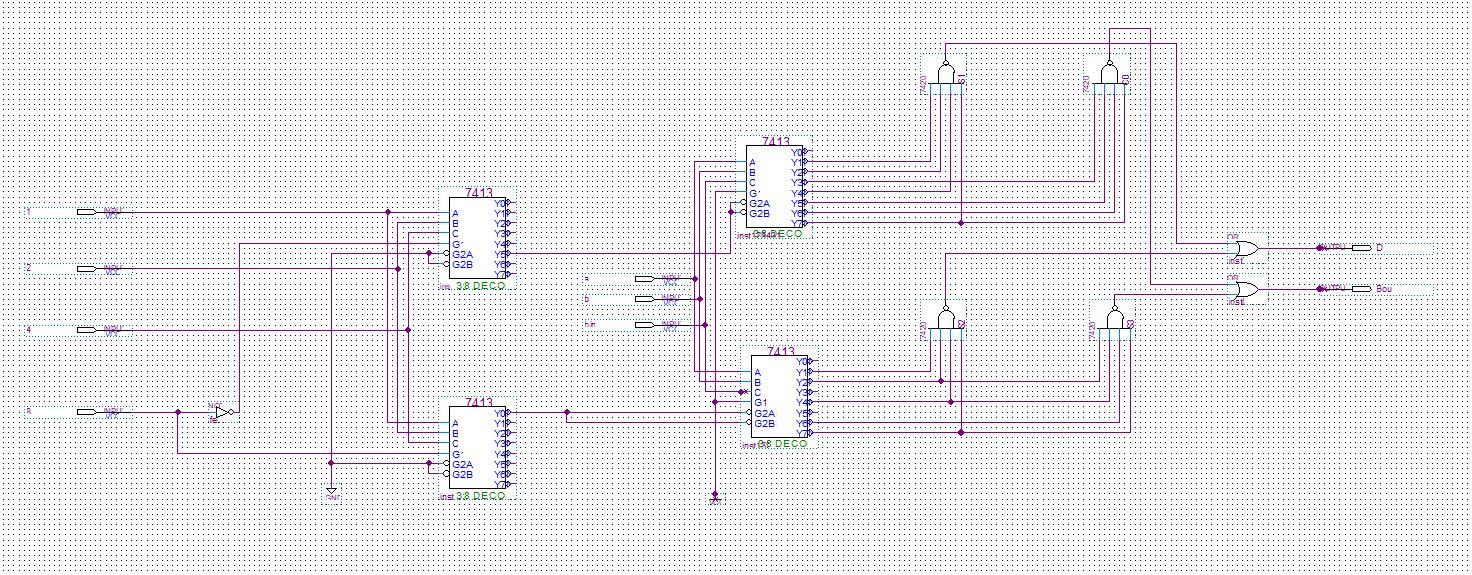
（1）组合逻辑器件74138 三线八线译码器和7420 与非门，用原理图输入方法实现一位全加器



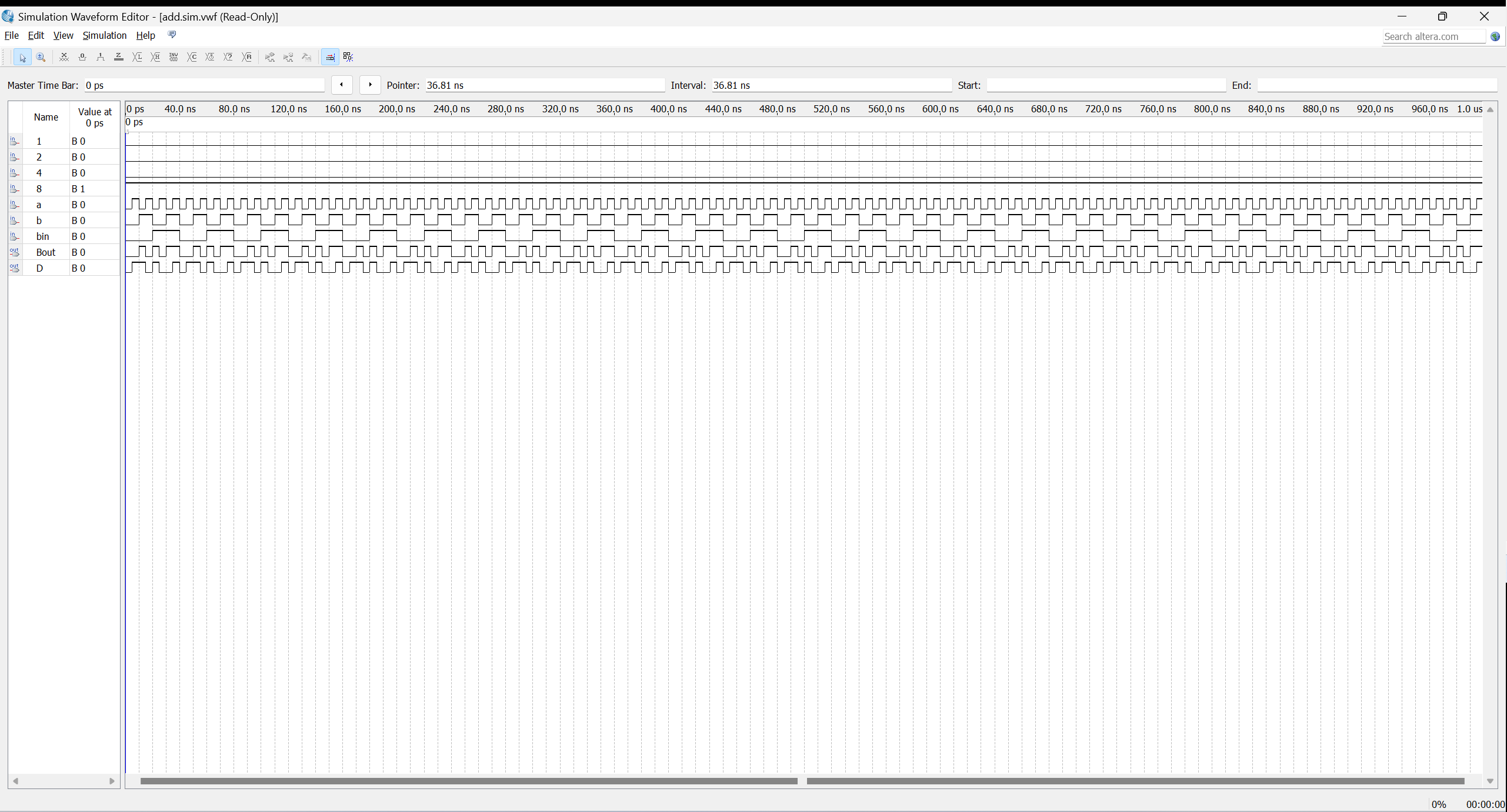
（2）组合逻辑器件74153 双四数据选择器和7400 与非门，用原理图输入方法实现一位全减器



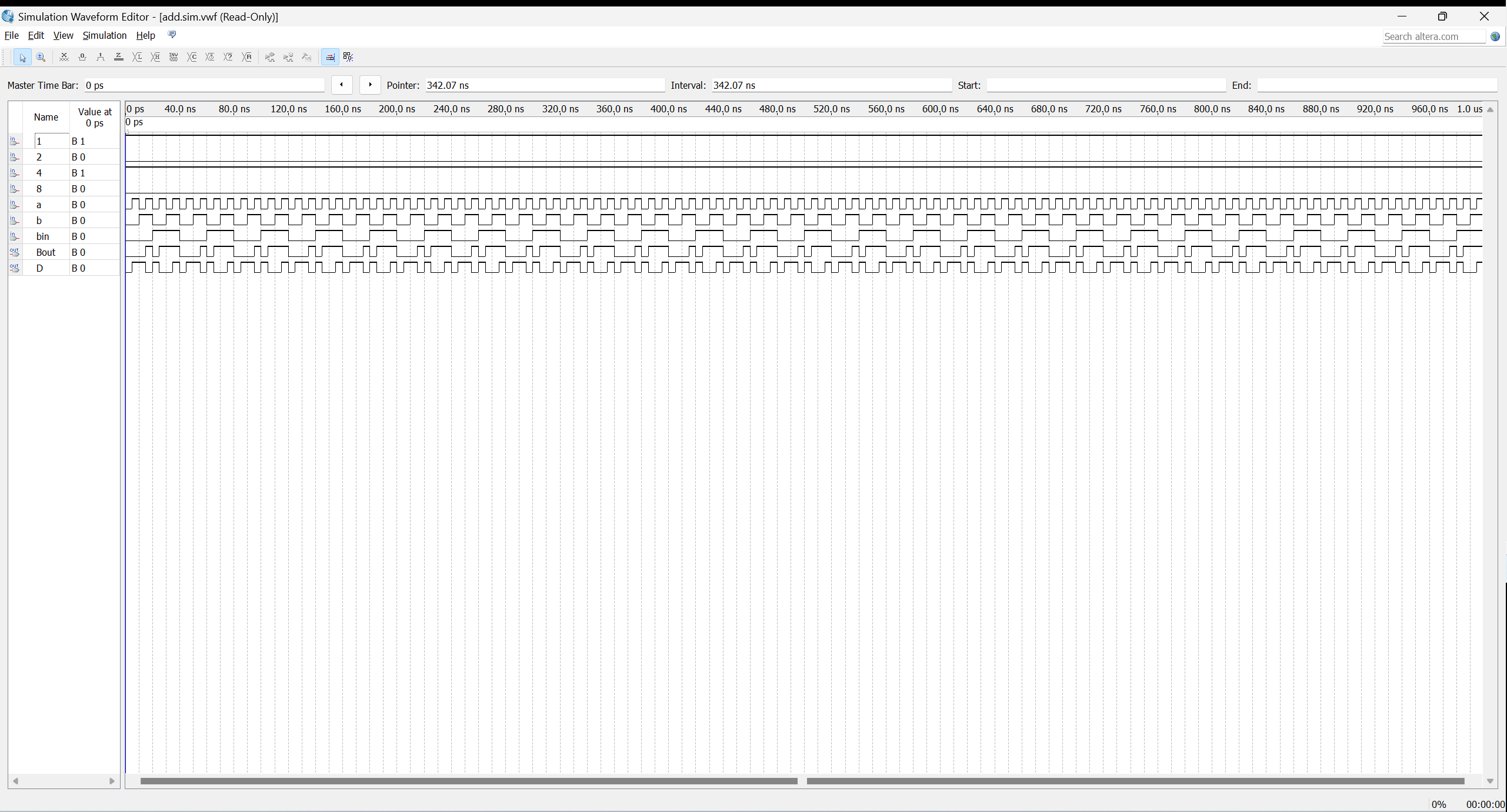
（3）自选门电路或组合逻辑电路，用4个开关作为控制端，当控制开关为一名组员学号的最后一位时实现一位全加器；当控制开关为另一名组员学号的最后一位时实现一位全减器



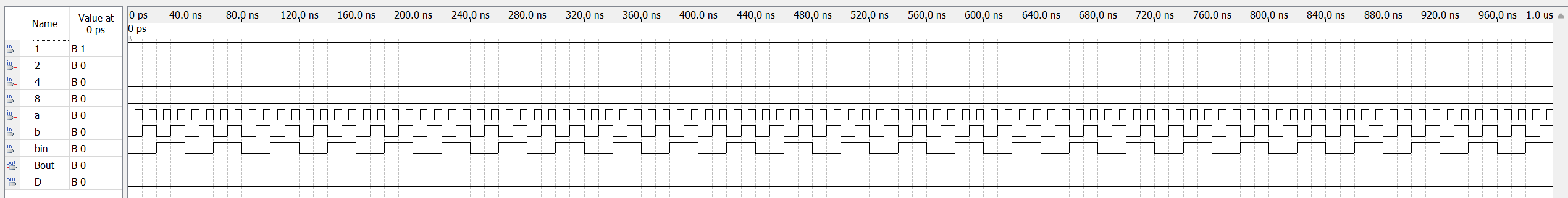
二、波形仿真



控制位为8时实现全减器(2022302098)



控制位为5时实现全加器(2022302115)



控制位不为8或者5时bin、Bout、D保持低电平

**板集验证图片过多没有展示是否做出来可由当时课堂证明**

### 六、实验过程中的问题

1.板集验证过程中如果出现多个窗口会出现下载失败的情况，若板集验证只能打开一个窗口进行

### 七、心得体会

1.学习使用了QuartusII中原理图中比较常用器件的使用